

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-143469
(43)Date of publication of application : 26.06.1987

(51)Int Cl.

H01L 29/78
G02F 1/133
G09F 9/35
H01L 27/12

(21)Application number : 60-282801

(22)Date of filing : 18.12.1985

(71)Applicant :

(72)Inventor :

HITACHI LTD

SUNAHARA KAZUO

ORITSUKI RYOJI

SHIROHASHI KAZUO

SUZUKI MASAHICO

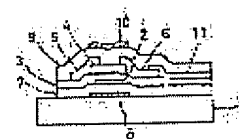
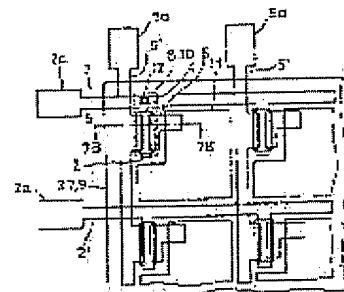
SUZUKI KENKICHI

(54) THIN-FILM TRANSISTOR

(57)Abstract:

PURPOSE: To reliably prevent the decrease in OFF resistance and to prevent the production of floating capacity, by electrically connecting light-shielding films to a gate electrode for providing them with the same potential.

CONSTITUTION: Lower and upper light-shielding films 8 and 10 are formed in a size large enough to cover the most part of the side of a data line 2' of a gate electrode 2. A conductive metal 13 is deposited within a through hole 12 so that the lower light-shielding film 8, the data line 2' and the upper light-shielding film 10 are electrically connected with each other by means of the conductive metal 13. According to such construction, the films 8 and 10 are held at the same potential as those of the gate electrode 2 and the data line 2', and therefore no floating capacity is produced there. Further, since the gate electrode 2 is connected to the power supply line, any noises applied thereto will be easily absorbed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-143469

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)6月26日

H 01 L 29/78
G 02 F 1/133
G 09 F 9/35
H 01 L 27/12

3 2 7

8422-5F
8205-2H
6731-5C
7514-5F

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 薄膜トランジスタ

⑯ 特 願 昭60-282801

⑰ 出 願 昭60(1985)12月18日

⑱ 発 明 者	砂 原	和 雄	茂原市早野3300番地	株式会社日立製作所茂原工場内
⑱ 発 明 者	折 付	良 二	茂原市早野3300番地	株式会社日立製作所茂原工場内
⑱ 発 明 者	白 橋	和 男	茂原市早野3300番地	株式会社日立製作所茂原工場内
⑱ 発 明 者	鈴 木	雅 彦	茂原市早野3300番地	株式会社日立製作所茂原工場内
⑱ 発 明 者	鈴 木	堅 吉	茂原市早野3300番地	株式会社日立製作所茂原工場内
⑲ 出 願 人	株式会社日立製作所			東京都千代田区神田駿河台4丁目6番地
⑳ 代 理 人	弁理士 小川 勝男			外1名

明 細 書

発明の名称 薄膜トランジスタ

特許請求の範囲

絶縁基板上にゲート電極と半導体膜とゲート電極とドレイン電極と遮光膜とを積層形成してなる薄膜トランジスタにおいて、前記遮光膜は導電性材料で形成されかつゲート電極に接続されることを特徴とした薄膜トランジスタ。

発明の詳細な説明

〔発明の利用分野〕

本発明は例えば液晶フラットディスプレイのスイッチング素子に用いて好適な薄膜トランジスタに関するものである。

〔発明の背景〕

近年、陰極線管(CRT)に代る表示装置として、種々のフラットディスプレイの開発がさかに行われている。その代表的なディスプレイの一つにドットマトリクス液晶ディスプレイがある。このドットマトリクス液晶ディスプレイの場合、表示できる情報量を増すため、あるいは画像の精細度

を増すためにドット(画素)の数を増すと、クロストークと呼ぶ現象が生じて画像のコントラストが著しく悪化する。これを防止するためには、1つ1つの画素に薄膜トランジスタ等の能動素子を付設した、いわゆるアクティブマトリクス方式が有効である。

なお、この種のディスプレイの構成は、例えば日経エレクトロニクス1984年9月10日号P211に記載されている。

このようなアクティブマトリクスディスプレイにおいては、各画素に付設された薄膜トランジスタのスイッチ機能を利用し、スイッチONのとき画像情報を書き込み、スイッチOFFのときその情報を保持させるようにしたものである。

ところで、この薄膜トランジスタにおいて、半導体膜として、 α -Siのように光導電性の大きい半導体を用いた場合は、半導体膜への光照射の有無によつてソース・ドレイン電極間の抵抗値が異なる。アクティブマトリクスの場合、特にOFF抵抗の变化が問題となり、光が照射されてOFF抵

抗が低下すると、画素に書き込まれた情報の保持が困難となる。

〔発明の目的〕

本発明の目的はOFF抵抗の低下を確実に防止することができる薄膜トランジスタを提供することにある。

本発明の他の目的は、OFF抵抗を低下させることによつて生じる浮遊容量の発生を防止した薄膜トランジスタを提供することにある。

〔発明の概要〕

本発明の一実施例によれば、遮光膜とゲート電極とを電気的に接続し同電位とすることにより、OFF抵抗の低下を確実に防止しかつ浮遊容量の発生を防止した薄膜トランジスタが提供される。

〔発明の実施例〕

次に図面を用いて本発明の実施例を詳細に説明する。

第1図は薄膜トランジスタを示す図であり、同図Aは平面図、同図Bは同図Aの1B-1B断面図である。これらの図において、1はガラス板など

からなる絶縁基板、2はCr、ITO等の導電性材料で形成されたゲート電極、3は SiO_2 、 Si_3N_4 等からなる絶縁膜、4は $\alpha\text{-Si}$ 、 poly-Si 等からなる半導体膜、5および6はCr、ITO等の導電性材料で形成されたソース電極およびドレイン電極である。

このような薄膜トランジスタは、ゲート電極2とソース電極5との間に加える電界の大きさを変化させることによつて、ソース電極5とドレイン電極6との間の電気抵抗を変化させることができる。すなわち、スイッチング機能をもたせることができる。

しかしながら、このような薄膜トランジスタをアクティブマトリックスディスプレイに用いると、半導体膜4に光が照射されてソース、ドレイン間のOFF抵抗が低下し、画素に書き込まれた情報の保持が困難となることから、ゲート電極2、ソース電極5及びドレイン電極6を遮光性材料を用いて形成すると、基板1側から入射する光に対しては第2図に斜線部Aで示す半導体が露光し、その

反対側から入射する光に対しては第3図に斜線部Bに示す半導体が露光されることになる。

このような問題を解決する手段として第4図A、Bに示すような薄膜トランジスタが提案されている。すなわち、同図に示すようにゲート電極2の下に絶縁膜7を介して半導体膜4を完全に覆う下部遮光膜8を形成し、ソース電極5及びドレイン電極6の上には絶縁膜9を介して上部遮光膜10を形成する。この場合、絶縁膜7、9を介在させる理由は、遮光膜8、10を絶縁性材料で形成することが困難なためである。

このように構成される薄膜トランジスタは、基板1側及びその反対側から入射する光に対して半導体膜4を遮光でき、前述したOFF抵抗の低下を防止できる。

しかしながら、このように構成される薄膜トランジスタでは、ゲート電極2と下部遮光膜8との間およびソース電極5及びドレイン電極6と上部遮光膜10との間に浮遊容量が発生し、スイッチング速度が低下するのみならず、画素に關つた情

報を書き込んだり、OFF時に情報を保持できないといった問題が生じる。

ところで、アクティブマトリックスにおいては、薄膜トランジスタは通常第5図A、Bに示すような配置に形成される。すなわち、データラインZは横一列の薄膜トランジスタのゲート電極2に共通となるように配線され、信号ラインZは縦一列の薄膜トランジスタのゲート電極5に共通となるように配線される。ドレイン電極4は各画素電極11に個別に接続され、絶縁膜3はゲート電極2、ソース電極5の電極端子部2a、5aを被く全面に形成される。また半導体膜4は島状に形成される。そして、ゲート電極端子部2aに信号を入力し、横一列の薄膜トランジスタがオン状態のときにソース電極5から各画素11に画像情報を書き込む機能を有してゐる。

このようなアクティブマトリックスに本発明による薄膜トランジスタを適用する場合には、薄膜トランジスタは第6図に示すように下部遮光膜8および上部遮光膜10がゲート電極2のデータラ

インジウムをほぼ覆う形状の大きさに形成され、第7図に示すようにデータライン2上の絶縁膜3, 7, 9にスルーホール12を設けてこのスルーホール12内に例えばNi, Ti, Al, Cr, Mo等の導電性金属13が形成されて下部遮光膜8とデータライン2と上部遮光膜10とが導電性金属13により電氣的に接続されている。

このような構成によれば、下部遮光膜8および上部遮光膜10は常にゲート電極2, データライン2と同電位となるので、浮遊容量は全く発生しなくなる。また、このような構成において、上部遮光膜10はデータライン2に接続されて表面に露出する構成となるので、ノイズ等の印加によりゲート電極2がオンされる恐れがあるが、このゲート電極2は図示しないが、電源ラインに接続されているので、ノイズが印加されても容易に吸収される。さらにこのデータライン2を電源ラインのアース側として使用することができる。したがって、ゲート電極2がオンされる心配は全くなくなる。また、下部遮光膜8および上部遮光膜10

がゲート電極2のデータライン2側までカバーしているので、遮光性がさらに向上できる。

第8図は本発明による薄膜トランジスタをアクティブマトリックスに適用した他の実施例を示す平面図であり、前述の図と同一部分は同一符号を付してある。同図において、第7図と異なる点は、データライン端子部2a上に絶縁膜が介在しないことを利用してデータライン2の上下部に下部遮光膜8および上部遮光膜10を形成し、絶縁膜3, 7, 9のないデータライン端子部2aでゲートライン2と接続されている。

このような構成においても、ゲート電極2は、データライン端子部2aにおいて下部遮光膜8および上部遮光膜10と接続され、同電位となるので、浮遊容量が発生しないことになる。また、このような構成は、遮光膜のマスクパターンを変更するのみで、プロセスの変更が全くないので、極めて容易にかつ簡単に製作することができる。

なお、前述した実施例においては、ゲート電極2の上下部分にそれぞれ上部遮光膜10および下

部遮光膜8を設け、これら両遮光膜10, 8をゲート電極2と同電位となるように接続した場合について説明したが、本発明はこれに限定されるものではなく、上部遮光膜10あるいは下部遮光膜8の一方をゲート電極2と同電位となるように接続しても同様の効果が得られることは言うまでもない。

〔発明の効果〕

以上説明したように本発明によれば、遮光膜とゲート電極とを電氣的に接続することにより、半導体膜が完全に遮光されるので、OFF抵抗の低下を確実に防止することができる。また、遮光膜と各電極との間に浮遊容量の発生が皆無となるので、アクティブマトリックスディスプレイに適用することにより、OFF時の情報を保持することが可能となるとともに、画素への駆動情報の書き込みを防止できるなどの極めて優れた効果が得られる。

図面の簡単な説明

第1図Aは薄膜トランジスタを示す平面図、第1図Bは同図Aの1B-1B断面図、第2図および

第3図は半導体膜が露光される状態を示す平面図、第4図Aは遮光膜を設けた薄膜トランジスタを示す平面図、第4図Bは同図Aの4B-4B断面図、第5図Aは薄膜トランジスタをアクティブマトリックスに適用する場合を説明する平面図、第5図Bは同図Aの5B-5B断面図、第6図は本発明による薄膜トランジスタを説明するための平面図、第7図Aは本発明による薄膜トランジスタをアクティブマトリックスに適用した一実施例を示す平面図、第7図Bは同図Aの7B-7B断面図、第8図は本発明による薄膜トランジスタをアクティブマトリックスに適用した他の実施例を示す平面図である。

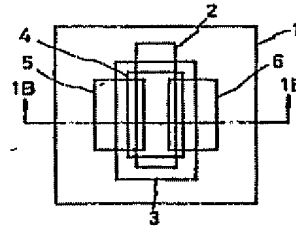
1・・・絶縁基板、2・・・ゲート電極、2a・・・データライン、2b・・・端子部、3・・・絶縁膜、4・・・半導体膜、5・・・ソース電極、6・・・ドレイン電極、7・・・絶縁膜、8・・・下部遮光膜、9・・・絶縁膜、10・・・上部遮光膜、11・・・画素電極、12・・・スルーホール、13・・・

特開昭62-143469(4)

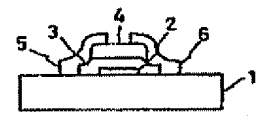
...導電性金屬。

代理人 弁理士 小川 勝 男

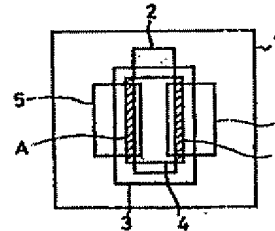
第 1 図 A



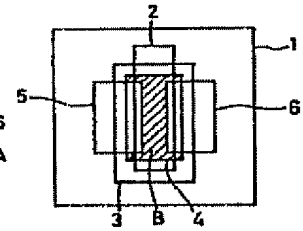
第 1 図 B



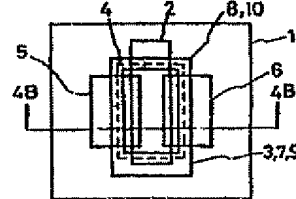
第 2 図



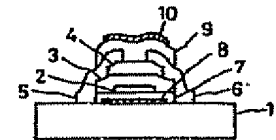
第 3 図



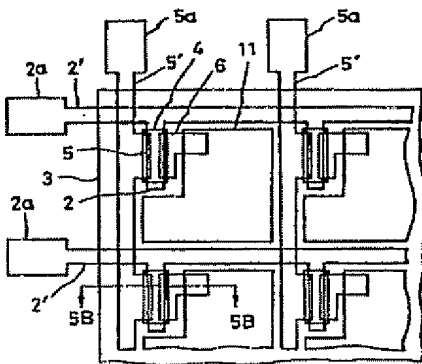
第 4 図 A



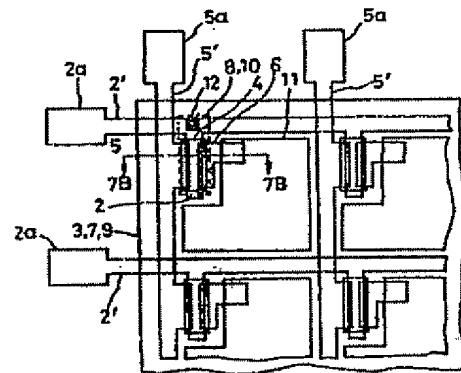
第 4 図 B



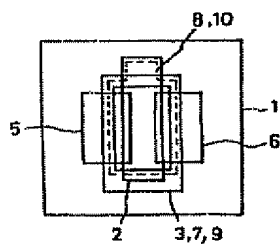
第 5 図 A



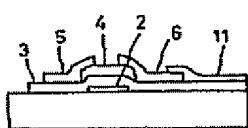
第 7 図 A



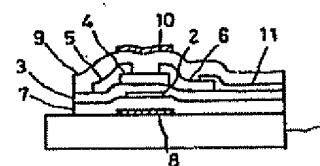
第 6 図



第 5 図 B



第 7 図 B



第 8 図

